

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam. & Legal Stat

(c) 2003 EP0. All rts. reserv.

5007946

Basic Patent (No,Kind,Date): JP 60055665 A2 850330 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): SEKIGUCHI SANEHIRO

IPC: *H01L-029/78;

Derwent WPI Acc No: *C 85-113698;

JAPIO Reference No: *090185E000116;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 60055665	A2	850330	JP 83163668	A	830906 (BASIC)

Priority Data (No,Kind,Date):

JP 83163668 A 830906

DIALOG(R)File 347:JAPI0

(c) 2003 JPO & JAPI0. All rts. reserv.

01577165 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 60-055665 [JP 60055665 A]

PUBLISHED: March 30, 1985 (19850330)

INVENTOR(s): SEKIGUCHI SANEHIRO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP(Japan)

APPL. NO.: 58-163668 [JP 83163668]

FILED: September 06, 1983 (19830906)

INTL CLASS: [4] H01L-029/78

JAPI0 CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPI0 KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);

R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 332, Vol. 09, No. 185, Pg. 116, July 31, 1985 (19850731)

ABSTRACT

PURPOSE: To inhibit the effects of short channel and punch-through by a method wherein a gate electrode material layer is selectively removed by the use of a masking member formed on the layer, a gate electrode and an insulation film being formed and the masking member being then removed; thereafter ion implantation is carried out.

CONSTITUTION: A field oxide film 22 and oxide film 23, and a phosphorus-doped polycrystalline Si layer 24 are formed on a P type Si substrate 21 the semiconductor substrate, a resist pattern being formed thereon, and the Si layer 24 being then selectively removed by the CDE method, resulting in the formation of a gate electrode 26. The N type source and drain regions 28 and 29 and an MOS transistor are formed by As ion implantation to the substrate with the gate electrode 26, a gate insulation film 27, and the oxide film 22 as a mask, and then by heat treatment. Since the gate insulation film 27 remains also in the periphery of the gate electrode 26, the improvement of withstand voltages of the electrode 26 and the regions 28 and 29, the omission of the treatment of oxidation in a succeeding process, and the shallowing of the junction can be contrived.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-55665

⑬ Int.Cl.⁴
H 01 L 29/78

識別記号

庁内整理番号
7377-5F

⑭ 公開 昭和60年(1985)3月30日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-163668

⑰ 出 願 昭58(1983)9月6日

⑱ 発 明 者 関 口 修 弘 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第1導電型の半導体基板の素子領域上に絶縁膜を介してゲート電極材料層を堆積する工程と、このゲート電極材料層上にマスク材を形成する工程と、このマスク材を用いてゲート電極材料層を選択的に除去しゲート電極を形成する工程と、同マスク材を用いて前記絶縁膜を反応性イオンエッチングにより選択的に除去しゲート絶縁膜を形成する工程と、前記マスク材を除去後イオン注入を施す工程とを具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体装置の製造方法の改良に関する。

〔発明の技術的背景とその問題点〕

周知の如く、半導体装置例えばMOS型トラ

ンジスタにおいては、素子の微細化、高速化及び高密度化傾向にはめざましいものがあり、これはプロセスにおけるPEP技術の進歩、浅い接合を形成できるイオン打込技術及び低温プロセスによるところが大きい。

特に、MOS型トランジスタのゲート幅は、近年3 μ mから2 μ mへと微細化されており、素子の高速化、高密度化に寄与している。しかしながら、ゲート幅が2 μ m以下程度になると、いわゆるショートチャネル効果及びパンチスルー等の不都合な問題が顕在化している。

従来、MOS型トランジスタとしては、例えば第1図に示すものが知られている。図中の1はP型の半導体基板である。この基板1表面には、N⁺型のソース、ドレイン領域2、3が形成されている。同基板1上にはフィールド酸化膜4が形成されており、このフィールド酸化膜4で囲まれた前記基板1の素子領域5上にはゲート絶縁膜6を介してゲート電極7が形成されている。こうした第1図のMOS型トランジスタ

によれば、ソース、ドレイン領域 2, 3 の形成には、一般にセルフアラインで形成するプロセスが用いられるため、ゲート電極 7 とソース、ドレイン領域 2, 3 間はマスク合せの必要がなく、素子の微細化に有利である。しかしながら、ソース、ドレイン領域 2, 3 は最終的に $0.5 \sim 1.5 \mu\text{m}$ の拡散深度となり、横方向への拡散も等方的に考えると、ソース、ドレイン領域 2, 3 はゲート電極 7 下の基板 1 に侵入して形成される。その結果、実効チャネルは設計チャネルよりも短くなり、しきい値が所定の値よりも低くなる、いわゆるショートチャネル効果を生じる。また、このように実効チャネルが短くなると、ソース、ドレイン領域 2, 3 の空乏層がつながり、パンチスルーしてしまい、素子の耐圧が劣化する。

しかるに、前述したショートチャネル効果、パンチスルー現象を抑制する最も有効な手段は、ソース、ドレイン領域の拡散深度を浅くして実効チャネル長の短縮を防止すればよい。しかし

3

酸化膜 4 の側壁にのみ CVD SiO_2 膜 12' を残存させる（第 2 図(c) 図示）。この後、例えば砒素をドーズ量 $2 \sim 3 \times 10^{15} \text{cm}^{-2}$ で再度イオン注入することによつて深い N 型の不純物層 13₁, 13₂ を形成する。その結果、不純物層 11₁, 11₂ により N 型のソース領域 14 が形成され、かつ不純物層 11₁, 13₁ により N 型のドレイン領域 15 が形成される（第 2 図(d) 図示）。しかる後、前記残存 CVD SiO_2 膜 12' を除去して MOS 型トランジスタを製造する（第 2 図(e) 図示）。なお、前記残存 CVD SiO_2 膜 12' は必ずしも除去する必要はない。また、前記製造方法では浅い N 型の不純物層 11₁, 11₂ を先に形成したが、逆にゲート電極 7、ゲート絶縁膜 6 及びフィールド酸化膜 4 の側壁に残存 CVD SiO_2 膜 12' を残して先に深い N 型の不純物層 13₁, 13₂ を形成し、しかる後残存 CVD SiO_2 膜 12' を除去して深い N 型の不純物層 13₁, 13₂ を形成してもよい。しかしながら、前述の如く製造される第 2 図(e) の MOS

ながら、拡散層の深さを全体的に浅くすると、拡散層の抵抗が高くなり、回路動作上の問題が発生する。このようなことから、最近、以下に示す LDD (Lightly Doped Drain) 構造の MOS 型トランジスタが提案されている。次に、このトランジスタの製造法を第 2 図(a)~(e) を参照して説明する。

まず、周知の技術により、P 型の半導体基板 1 上にフィールド酸化膜 4 を形成した後、このフィールド酸化膜 4 で囲まれた基板 1 の素子領域 5 上にゲート絶縁膜 6 を介してゲート電極 7 を形成する。つづいて、このゲート電極 7 等をマスクとして例えば砒素をドーズ量 10^{14}cm^{-2} でイオン注入し、浅い N 型の不純物層 11₁, 11₂ を形成する（第 2 図(a) 図示）。次いで、全面に CVD SiO_2 膜 12 を形成する（第 2 図(b) 図示）。なお、CVD SiO_2 膜の代わりに Si_3N_4 膜を用いてもよい。更に、前記 CVD SiO_2 膜 12 を反応性イオンエッチング (RIE) 法でエッチングし、ゲート電極 7、ゲート絶縁膜 6 及びフィールド

4

型トランジスタによれば、ショートチャネル効果及びパンチスルーを改善できるものの、深さの異なる不純物層を形成するために 2 度のイオン打込を必要とし、第 1 図の MOS 型トランジスタと比べてプロセスが複雑となり、コスト高を招く。

〔発明の目的〕

本発明は、上記事情に鑑みてなされたもので、ショートチャネル効果、パンチスルー現象を抑制するとともに、プロセスを簡略化してコスト低減をなし得る半導体装置の製造方法を提供することを目的とするものである。

〔発明の概要〕

本発明は、第 1 導電型の半導体基板の素子領域上に絶縁膜を介してゲート電極材料層を堆積した後、このゲート電極材料層上にマスク材を形成し、しかる後このマスク材を用いてゲート電極材料層を選択的に除去し、ゲート電極を形成し、更に同マスク材を用いて絶縁膜を反応性イオンエッチングにより選択的に除去しゲート

絶縁膜を形成し、つづいてマスク材を除去後イオン注入を施すことによつて、例えばLDD構造のMOS型トランジスタを形成し、ショートチャネル効果、パンチスルー現象を抑制するとともに、コスト低減化を図つたことを骨子とする。

〔発明の実施例〕

以下、本発明をLDD構造を有したMOS型トランジスタに適用した場合について第3図(a)~(d)を参照して説明する。

- (I) まず、半導体基板としてのP型のSi基板21上にフィールド酸化膜22を形成した後、このフィールド酸化膜22で囲まれた基板21上に酸化膜23を形成した。つづいて、全面にゲート電極材料層としてのリンドープ多結晶シリコン層24を形成した(第3図(a)図示)。次いで、この多結晶シリコン層24上にレジストパターン25を形成した。更に、このレジストパターン25をマスクとしてリンドープ多結晶シリコン層24を化学ドライエッチ

7

ス、ドレイン領域28、29が自己整合的に形成され、MOS型トランジスタが形成された(第3図(d)図示)。

しかし、本発明によれば、第3図(b)に示す如く、レジストパターン25をマスクとしリンドープ多結晶シリコン層24をCDE法で選択的にエッチング除去し、ゲート電極26を形成した後、第3図(c)に示す如く、同レジストパターン25をマスクとして酸化膜23をRIEにて選択的にエッチング除去し、ゲート絶縁膜27を形成するため、ゲート電極26の幅はゲート絶縁膜27のそれと比べ狭くなる。従つて、これらゲート電極26、ゲート絶縁膜27及びフィールド酸化膜23をマスクとしてSi基板21に砒素をイオン注入することにより、ゲート電極26近傍が低濃度で浅くかつ遠ざかる部分が高濃度で深いN型のソース、ドレイン領域28、29を自己整合的に形成でき、従来と比べ工程を簡略化してコスト低減を図ることができるとともに、ショートチャネル効果、パンチスルー

ング(CDE)法で選択的にエッチング除去しゲート電極26を形成した(第3図(b)図示)。なお、同図(b)において、リンドープ多結晶シリコン層24のサイドエッチ量dは、リンドープ多結晶シリコン層24の膜厚とはほぼ同じ厚さにした。ここで、サイドエッチ量dは、CDE法によるエッチング量をませば大きくなり、逆に途中までRIE法でエッチングし、残りをCDE法でエッチングすれば小さくなり、適宜調整することが可能である。

- (II) 次に、前記レジストパターン25をマスクとして前記酸化膜23をRIEにて選択的にエッチング除去し、ゲート絶縁膜27を形成した。つづいて、レジストパターン25を除去した(第3図(c)図示)。次いで、前記ゲート電極26、ゲート絶縁膜27及びフィールド酸化膜23をマスクとして基板21に例えば砒素をイオン注し、熱処理を施した。この結果、ゲート電極26近傍が低濃度で浅く、かつ遠ざかる部分が高濃度で深いN型のソー

8

現象を抑制できる。

また、第3図(d)に示す如く、ゲート絶縁膜27をゲート電極26の真下のみならず、その周辺にも残存させるため、ゲート電極26とソース、ドレイン領域28、29との耐圧を、通常のMOSプロセスよりも向上できるとともに、後工程における酸化処理を省略できる。従つて、トランジスタのソース、ドレイン領域28、29接合のシャロー化をはかれ、微細化に適している。

なお、上記実施例ではマスク材としてレジストパターンを用いたが、これに限らない。

〔発明の効果〕

以上詳述した如く、本発明によれば、ショートチャネル効果、パンチスルー現象を抑制するとともに、プロセスを簡略化してコスト低減をなし得るLDD構造のMOS型トランジスタ等の半導体装置を製造する方法を提供できるものである。

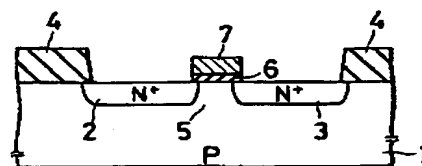
4. 図面の簡単な説明

第1図は従来のMOS型トランジスタの断面図、第2図(a)~(e)は従来の他のMOS型トランジスタの製造方法を工程順に示す断面図、第3図(a)~(d)は本発明の一実施例に係るMOS型トランジスタの製造方法を工程順に示す断面図である。

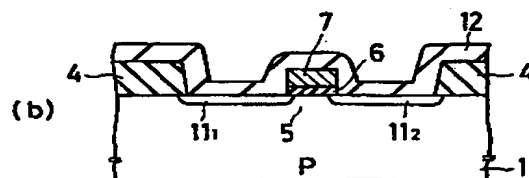
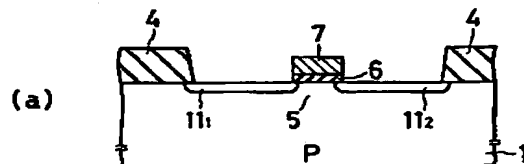
21…P型のSi基板(半導体基板)、22…フィールド酸化膜、23…酸化膜、24…リンドープ多結晶シリコン層(ゲート電極材料層)、25…レジストパターン、26…ゲート電極、27…N型のソース領域、28…N型のドレイン領域。

出願人代理人 弁理士 鈴 江 武 彦

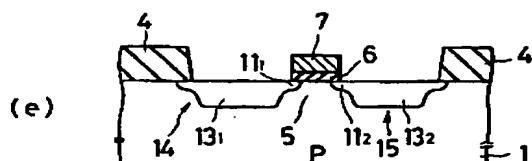
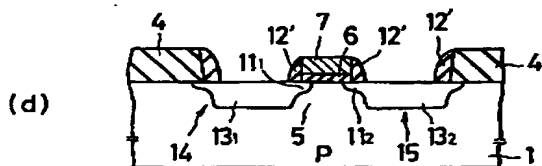
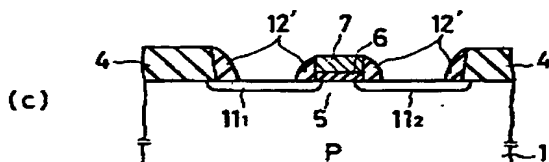
第 1 図



第 2 図



第 2 図



第 3 図

